

# پیاده‌سازی و ارزیابی الگوریتم JPEG برای فشرده‌سازی تصویر در سیستم‌های نهفته



دانشجو: سینا قربانی جبه‌دار  
استاد راهنما: دکتر مصطفی ارسالی صالحی نسب  
دانشکده مهندسی برق و کامپیوتر، دانشگاه تهران



## نتایج

مدار طراحی شده به ازای ورودی ماتریس‌های گوناگون مورد آزمایش قرار گرفته و نتایج مورد قبولی به دست آمده‌است. به طور متوسط سایز ماتریس حدود یک دهم می‌شود. به عنوان نمونه ماتریس زیر که با ۵۱۲ بیت قابل نمایش است (هر درایه ۸ بیت)، به عنوان ورودی به این مدار داده شد و خروجی تنها شامل ۴۲ بیت بود.

140	144	147	140	140	155	179	175
144	152	140	147	140	148	167	179
152	155	136	167	163	162	152	172
168	145	156	160	152	155	136	160
162	148	156	148	140	136	147	162
147	167	140	155	155	140	136	162
136	156	123	167	162	144	140	147
148	155	136	155	152	147	147	136

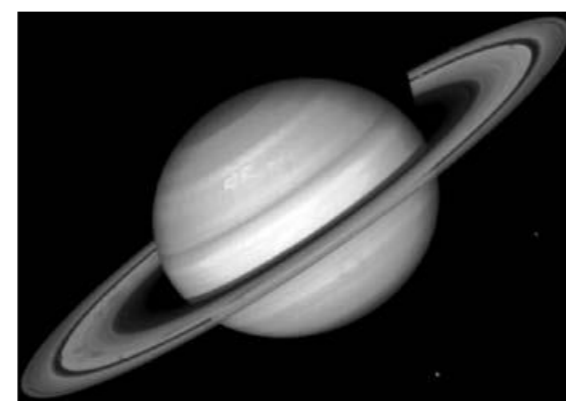
خروجی:

111101001011010100111011000011100101011010

همچنین به ازای ورودی عکس نیز نتیجه مورد قبولی به دست آمد که نمونه‌ای از آن قابل مشاهده است.



عکس خروجی



عکس ورودی

## مقدمه / خلاصه

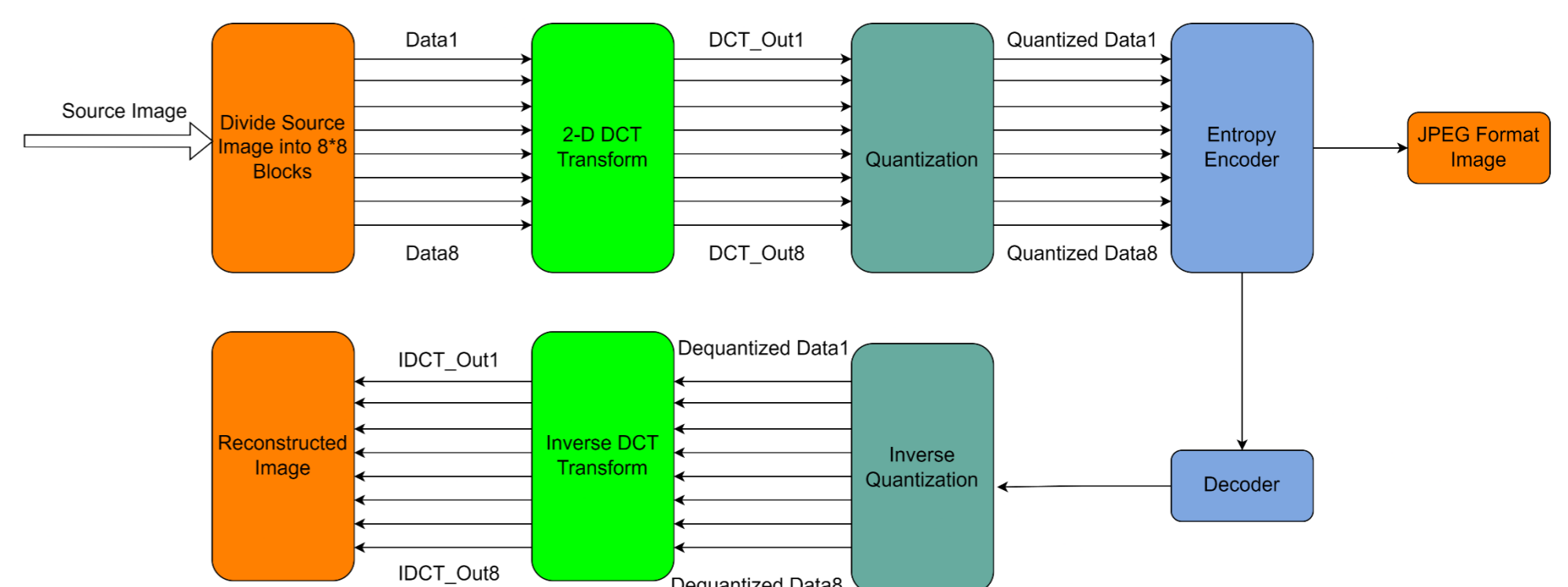
فرمت JPEG یکی از محبوب‌ترین فرمت‌های تصویر است. این فرمت به دلیل سازگاری بالا با بیشتر مرورگرها، نرم‌افزارها و برنامه‌های مختلف، پراستفاده است. در این فرمت با استفاده از روش فشرده‌سازی Lossy، اندازه کلی فایل‌های تصویری را کاهش می‌دهند، در حالی که کیفیت کلی تصویر حفظ می‌شود. در این الگوریتم، تصویر به بلوک‌های  $8 \times 8$  تقسیم می‌شود و هر بلوک از مراحل تبدیل کسینوسی گسسته (DCT)، کوانتیزاسیون، رمزگذاری RLC و هافمن عبور می‌کند تا بتوانیم با تعداد بیت کمتری اطلاعات یک بلوک را نشان دهیم. هدف از انجام این پروژه، ارائه یک روش پیاده‌سازی این الگوریتم در سیستم‌های نهفته می‌باشد. در انجام این پروژه از برخی الگوریتم‌های خاص سخت‌افزاری مانند روش Loeffler در محاسبه تبدیل کسینوسی گسسته استفاده شده است تا از نظر سرعت و منابع استفاده شده، تا حد توان بهینه باشد. مدار طراحی شده در این پروژه به ازای ورودی‌های مختلف مورد آزمایش قرار گرفته و نتایج مورد قبولی به دست آمده است همچنین مشاهده شد که سایز تصویر خروجی نسبت به تصویر اولیه حدود یک دهم می‌شود.

## روش / ساختار / مدل پیشنهادی

در این پروژه مدار دیجیتالی با استفاده از زبان سخت‌افزار Verilog طراحی شده است که عکس را به بلوک‌های  $8 \times 8$  تقسیم می‌کند و در هر کلاک سایکل داده‌های یک سطر از این بلوک‌ها را دریافت می‌کند و بر روی آن تبدیل کسینوسی گسسته اعمال می‌کند تا اطلاعات مکانی تصویر را به فرکانسی تبدیل کند، بیشتر اطلاعات تصویر در فرکانس‌های پایین قرار دارد. از این رو، داده‌های جدید را از مرحله کوانتیزاسیون عبور می‌دهیم و هر داده را متناسب با فرکانسی که دارد، بر عددی تقسیم می‌کنیم تا فرکانس‌های بالا به صفر نزدیک شوند و از این داده‌ها چشم‌پوشی کنیم. از آنجا که تقسیم عادی در سیستم‌های نهفته به منابع زیادی نیاز دارد، این عمل را با شیفت دادن داده‌ها انجام می‌دهیم. در مرحله بعدی با استفاده از کدگذاری‌های RLC و هافمن، داده‌های باقی‌مانده را سعی می‌کنیم با تعداد بیت کمتری نمایش دهیم.

مراحل بیان شده، اصطلاحاً عمل کدگذاری را انجام می‌دهند. در این پروژه علاوه بر کدگذاری، داده‌های خروجی تولید شده در مرحله کدگذاری را کدگشایی می‌کنیم و سعی می‌کنیم که به داده‌های اولیه برسیم که مراحل آن، برعکس مراحل کدگذاری است. یعنی ابتدا با استفاده از کدگشایی کدهای هافمن، به کد RLC می‌رسیم، آن را به خروجی مرحله کوانتیزاسیون تبدیل می‌کنیم و برعکس مرحله کوانتیزاسیون، بر عددی متناسب با درایه‌اش ضرب می‌کنیم و در پایان از تبدیل کسینوسی گسسته معکوس عبور می‌دهیم تا به داده‌های اولیه برسیم.

در شکل زیر مراحلی که برای کدگذاری و کدگشایی این الگوریتم نیاز است، نشان داده شده است.



## مراجع اصلی

1. F. Coelho and S. Nimmalappalli, "Computation of 2D 8x8 DCT Based on the Loeffler Factorization Using Algebraic Integer Encoding," *IEEE Transactions on Computers*, vol. 67, no. 12, pp.1692-1702, Dec. 2018.
2. J. Rosenthal, "JPEG Image Compression Using an FPGA," Ph.D dissertation, Dept. Elect. Eng., Santa Barbara Univ., Santa Barbara, California, 2006.
3. Z. Zhou and Z. Pan, "Effective Hardware Accelerator for 2D DCT/IDCT Using Improved Loeffler Architecture," *IEEE Access*, vol. 10, pp. 11011-11020, January 2022.
4. Kyrtsakas, George Gabriel, "An FPGA Implementation of a Custom JPEG Image Decoder SoC Module" (2017). Electronic Theses and Dissertations. 5945.