طراحی و پیاده سازی لینک مخابراتی مبتنی بر OFDM

با روش سنتز سطح بالا

دانشجو: مهدی ظفری

استاد راهنما: دکتر علی اعظم عباسفر

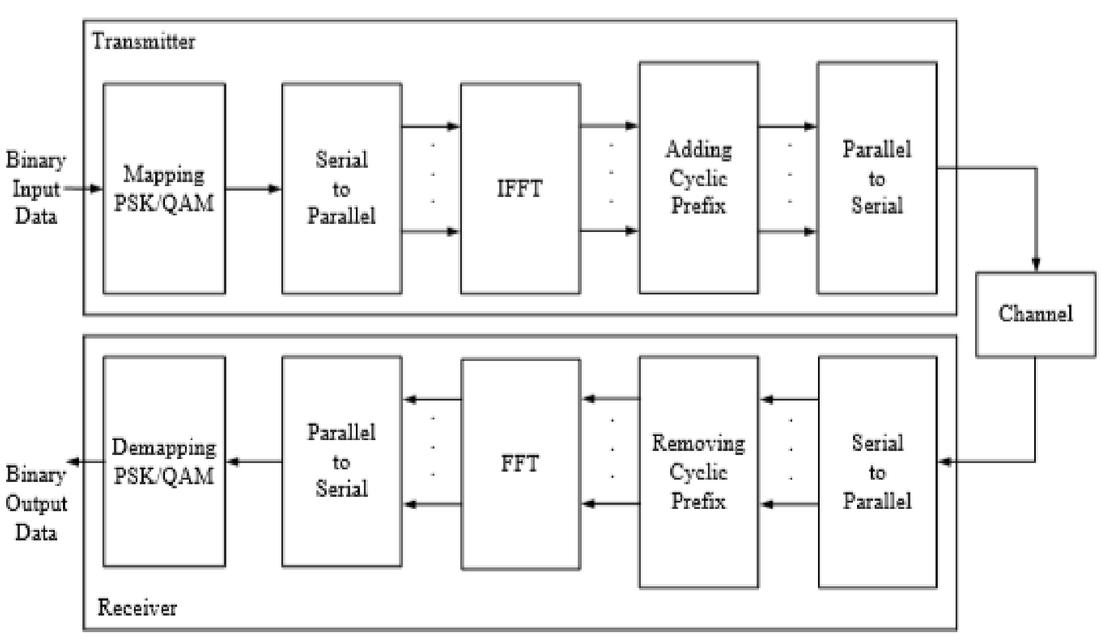
دانشکده مهندسی برق و کامپیوتر، دانشگاه تهران

مقدمه

برای پیاده سازی یک لینک رادیویی نیاز است که مدلسازی دقیق در محیط هایی که می تواند در سطح نرم افزار و سخت افزار سیستم ها را مدل کند انجام پذیرد. در نهایت برای پیاده سازی عملی سیستم ها روی سخت افزار های مشخص از جمله FPGA، باید کل سیستم توسط زبان های توصیف سخت افزار مانند Verilog و VHDL پیاده شده و روی سخت افزار مورد نظر سنتز شود. اما امروزه محیط هایی وجود دارد که امکان پیاده سازی سیستم ها در سطح سخت افزار را به کمک زبان های سطح بالایی چون C، C++ و SystemC در اختیار قرار می دهد.
در روش سنتز سطح بالا با استفاده از این محیط ها، طراحی سیستم در محیط سطح بالای C صورت می گیرد و سپس با سنتز این طراحی، پیاده سازی RTL سیستم به کمک این ابزار تولید می شود.
هدف در این پروژه، پیاده سازی فرستنده یک سیستم مخابراتی مبتنی بر OFDM به کمک این روش و با استفاده از ابزار Vivado HLS، محصول شرکت Xilinx، می باشد.

روش پیشنهادی

برای پیاده سازی فرستنده سیستم OFDM، ابتدا باید بخش های مختلف آن و عملکرد هر بخش مشخص شود.در این سیستم فرض می شود ورودی رشته بیت هایی است که کدینگ های مورد نیاز قبلا روی آنها صورت گرفته است. بخش اول سیستم مدولاتور است که رشته بیت ها به آن وارد می شوند و با توجه به نوع مدولاسیون، به سمبل مشخصی متناظر می گردند. مدولاتور این سیستم مدولاسیون های PSK، QPSK و QAM را انجام می دهد. جداول مربوط به مدولاسیون ها بصورت فایل های حافظه یا نوشتاری (txt) در کنار کدها قرار میگیرند. در این جداول بخش های حقیقی و موهومی سمبل های مدولاسیون ها به ترتیب قرار داده شده و مدولاتور عملا کار متناظر کردن از روی اندیس را انجام می دهد. این جداول در سیستم نهایی در یک حافظه قرار خواهند گرفت.
مقادیر حقیقی و موهومی سمبل ها بصورت نرمالیزه و در بازه $[-1,1)$ درنظر گرفته شده است. ورودی مدولاتور 8 بیتی و با تایپ unsigned fixed-point درنظر گرفته شده و بصورت یک AXI Stream تعریف شده است. برای خروجی مدولاتور 16 بیت بصورت signed fixed-point درنظر گرفته شده که 1 بیت آن integer و 15 بیت بقیه بخش fraction آن هستند.
بخش دوم سیستم فرستنده IFFT است. در این سیستم برای پیاده سازی این ماژول، از IP Core آماده Vivado استفاده شده که امکان استفاده از آن در کد C با تعریف کتابخانه IP آن فراهم می باشد. این IP Core برای محاسبه FFT و IFFT قابل استفاده است و قابلیت اضافه کردن پیشوند گردشی به حاصل بلاک OFDM را نیز دارد. IFFT استفاده شده برای این سیستم 1024 نقطه ای می باشد.



نتایج

کدهای لازم برای مدولاتور و IFFT با زبان C++ نوشته شده و در محیط Vivado HLS ابتدا شبیه سازی و سپس سنتز شده اند. با استفاده از نوشتن Testbench به زبان C، صحت عملکرد الگوریتم C و RTL تولید شده برای هر دو بخش سیستم سنجیده شده است. معیار های مهم و قابل مقایسه، فرکانس کاری سیستم، تاخیر عملکرد و میزان منابع ست افزاری استفاده شده می باشد که برای مدولاتور و IFFT نتایج را در شکل های زیر مشاهده می کنیم.

IFFT

Timing (ns)

Summary

Clock	Target	Estimated	Uncertainty
ap_clk	10.00	8.75	1.25

Latency (clock cycles)

Summary

Latency		Interval		
min	max	min	max	Type
3195	3195	3196	3196	dataflow

	BRAM	DSP	FF	LUT
fft_top	3	0	9904	8018
I/O Ports(4)				
direction				
in_r				
out_r				
ovflo				
Instances(5)	3	0	9888	7902
Memories(0)	0		0	0
Expressions(9)	0	0	0	32
+	0	0	0	18
and	0	0	0	10
or	0	0	0	4
Registers(4)			6	
Channels(2)	0		10	48
Multiplexers(4)	0		0	36
DSP(5)		0		

مدولاتور

Timing (ns)

Summary

Clock	Target	Estimated	Uncertainty
ap_clk	10.00	6.86	1.25

Latency (clock cycles)

Summary

Latency		Interval		
min	max	min	max	Type
7	17	8	18	none

	BRAM	DSP	FF	LUT
modulator	0	0	226	878
I/O Ports(3)				
inconfig_V				
indata_V_V				
outdata_V				
Instances(0)	0	0	0	0
Memories(4)	0		64	96
PSK_real_table_U	0		16	24
QAM_imag_table_U	0		16	24
PSK_imag_table_U	0		16	24
QAM_real_table_U	0		16	24
Expressions(61)	0	0	0	693
-	0	0	0	9
+	0	0	0	18
and	0	0	0	52
icmp	0	0	0	63
lshr	0	0	0	360
or	0	0	0	5
Select	0	0	0	184
xor	0	0	0	2
Registers(23)			162	
Channels(0)	0		0	0
Multiplexers(6)	0		0	89
DSP(0)		0		

جمع بندی

با استفاده از این روش، دو بخش اصلی یک سیستم فرستنده مبتنی بر OFDM را در سطح C طراحی کردیم و پس از تست صحت عملکرد الگوریتم C، آن را سنتز کردیم که RTL سیستم برای ما تولید شد. خروجی های این طراحی را می توان بصورت IP و یا کد Verilog و VHDL دریافت نموده و در سیستم ها و طراحی های دیگر از آنها استفاده کرد.

کاربرد های صنعتی:

امروزه بسیاری از سیستم های پیچیده و و با پردازش سنگین، روی سخت افزار های FPGA پیاده سازی می شوند. با استفاده از این روش و این ابزار می توان طراحی را در سطح سیستم و بدون نیاز به استفاده از زبان های توصیف سخت افزار انجام داد که از مزیت های آن به افزایش سرعت طراحی و ساده تر شدن این فرایند می توان اشاره کرد.

مراجع اصلی

1. **Jason Cong ; Bin Liu *et al.* "High-Level Synthesis for FPGAs: From Prototyping to Deployment", *IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems*, vol. 30, Apr. 2011.**
2. **NADER AL-GHAZU : "A Study of the Next WLAN Standard IEEE 802.11ac Physical Layer" ; KTH School of Electrical Engineering (EE) Signal Processing.**
3. **H.Bolcskei, "MIMO-OFDM wireless systems: basics, perspectives, and challenges", *IEEE Wireless Communications*, Aug. 2006.**