مدیریت دما در پردازش نزدیک به حافظه

دانشجو: مهیار امامی

استاد راهنما: دکتر مهدی کمال

دانشکده مهندسی برق و کامپیوتر، دانشگاه تهران

مقدمه

❑ چرا مدیریت دما؟

- داغ شدن تراشه‌ها یکی از بزرگترین معضلات کارامدی آن‌هاست.
- وابستگی اطمینان پذیری سیستم به دمای تراشه نمایی است.
- روش های مدیریت دمای MPSoC ها معمولاً ذاتی واکنشی(reactive) دارند.
- قرار دادن شتابندهنده‌ها روی bank های DRAM میتواند از نظر اطمینان پذیری هزینه زیادی داشته باشد.
- روش‌های ایستای مدیریت دما و اطمینان پذیری تنها تا حدی می‌توانند کارایی داشته باشند.
- روش‌های پویای مدیریت دما می بایست سربار زمانی کمی داشته باشند.
- مقیاس پذیری در صنعت نیمه‌هادی ها اهمیت فراوان دارد.

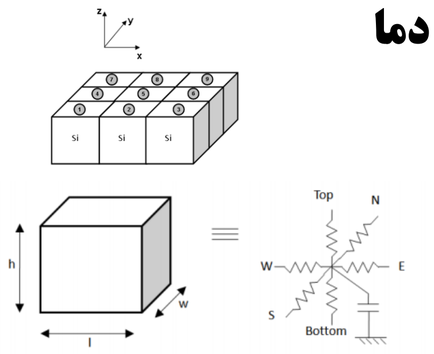
❑ پردازش نزدیک حافظه چیست؟

- یکی از بزرگترین گلوگاه‌های محاسباتی رابطه پردازنده با حافظه است.
- میتوان با انتقال بخشی از پردازش به نزدیکی حافظه محاسبات را سرعت بخشید.
- ایده‌ای ۲۰ ساله که با صنعتی شدن 3D IC ها در حال تحقق است.

❑ تعریف مسأله مدیریت چیست؟

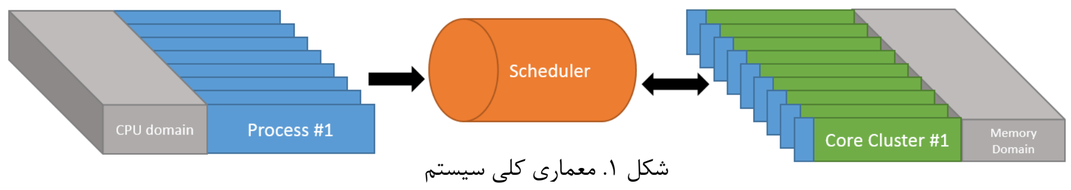
- n هسته پردازشی مرکزی $m \times p$ شتابندهنده نزدیک حافظه در p خوشه.
- m شتابنده هر خوشه از نظر دمایی وابسته هستند.
- دمای تراشه باید تا حد ممکن کمتر از مقداری بحرانی بماند(هدف مسأله).
- توان محاسباتی نباید کمتر از حد مجاز شود(قید مسأله).
- مدیریت بر مبنای پیش بینی انعطاف پذیر(adaptive predictive در مقابل reactive).

روش پیش‌بینی دما

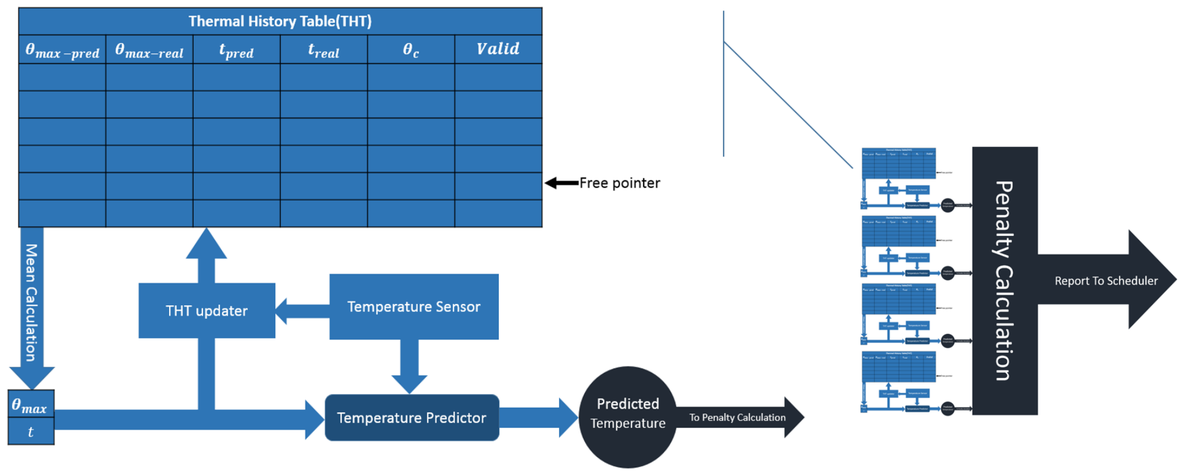


- مدل سازی انتشار گرما در جامدات به کمک یک مدار معادل
- بر مبنای finite difference equations
- $\mathbf{GT}(t) + \mathbf{C}\dot{\mathbf{T}}(t) = \mathbf{U}(t)$
- تقریب مرتبه اول : $\theta(t) = \theta_{max} - (\theta_{max} - \theta_c)e^{-\gamma t}$
- برازش غیرخطی برای پیش بینی
- مدل سازی مرتبه اول حالت گذرا
- تخمین دما به کمک دمای فعلی و پیشینه عملکرد سیستم
- پیش‌بینی به کمک دو پارامتر θ_{max} و t با آگاهی از دمای فعلی θ_c.

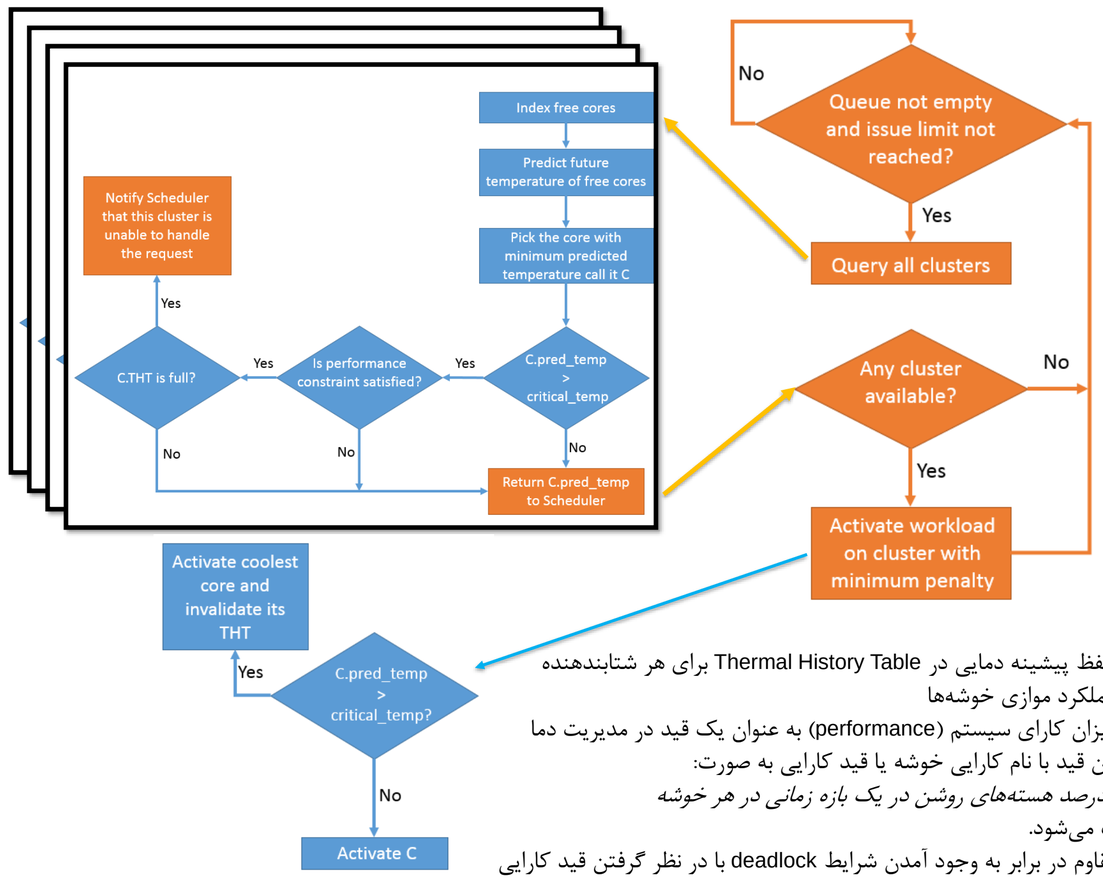
سیستم پیش‌بینی و کنترل



شکل ۱. معماری کلی سیستم



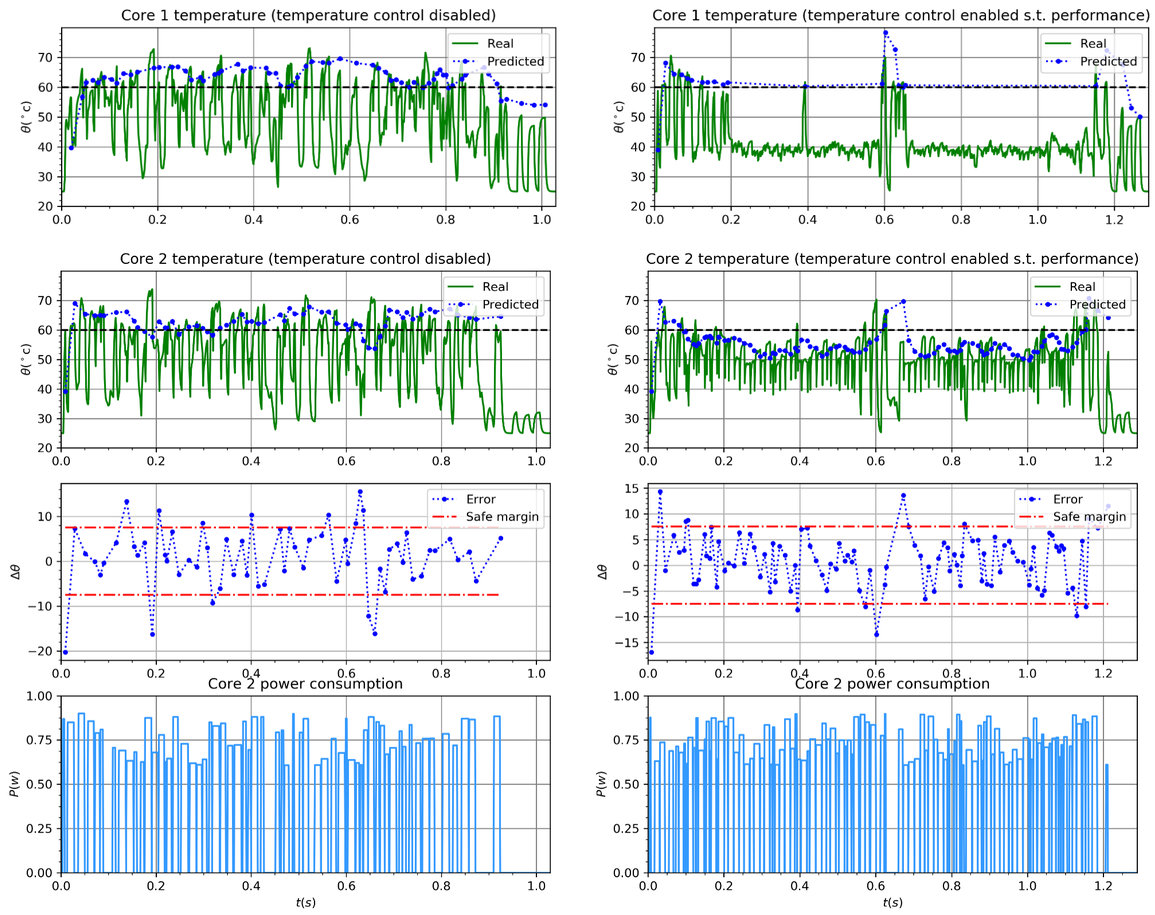
شکل ۲. یک واحد پیش بینی



- حفظ پیشینه دمایی در Thermal History Table برای هر شتابندهنده
- عملکرد موازی خوشه‌ها
- میزان کارای سیستم (performance) به عنوان یک قید در مدیریت دما
- این قید با نام کارایی خوشه یا قید کارایی به صورت:
  درصد هسته‌های روشن در یک بازه زمانی در هر خوشه
  تعریف می‌شود.
- مقاوم در برابر به وجود آمدن شرایط deadlock با در نظر گرفتن قید کارایی

شکل ۳. فلوچارت تصمیم گیری

عملکرد و نتایج



شکل ۴.

دمای هسته ۱ و ۲ در حالت تک خوشه‌ای به ازای دو حالت دمای کنترل شده(راست) و کنترل نشده(چپ) تحت قید کارایی خوشه ۴۰ درصد، دمای بحرانی نیز ۶۰ درجه سانتی گراد فرض شده است.

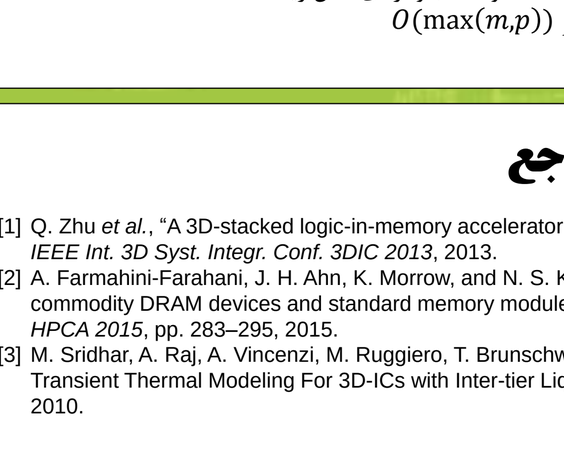
- مبادله‌ای بین تحدید دما و کارایی پردازشی سیستم:
  سیستم کنترل شده تک خوشه ای ۲۵ درصد کندتر و دو خوشه‌ای *صفر* درصد کندتر عمل می‌کند.
- بین ۶۵ تا ۹۰ درصد دقت در پیش بینی دما با حاشیه ۷/۵ درجه سانتی گراد
- کاهش ۷۵ درصدی زمان گذرانده شده بالای دمای بحرانی(دمای بحرانی ۶۰ درجه)
- کاهش ۹۶ درصدی معیار ECTTP و ۷۷ درصدی معیار CTTP با تعاریف زیر:

$$\mathrm{CTTP} = \int_0^{t_{exec}} \tilde{\theta}(t)dt$$

$$\mathrm{ECTTP} = \int_0^{t_{exec}} e^{\tilde{\theta}(t)}dt$$

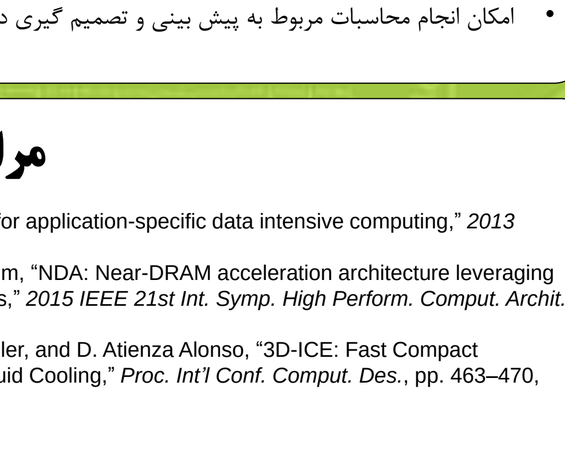
$$\tilde{\theta}(t) = \begin{cases} \theta(t) - \theta_{critical}, & \theta(t) > \theta_{critical} \\ 0, & \theta(t) \le \theta_{critical} \end{cases}$$

- انعطاف پذیری نسبت به قید کارایی پردازشی سیستم(شکل ۶)
- عملکرد خطی تکه‌ای و حریصانه(greedy)



شکل ۶.

حساسیت کارایی سیستم نسبت به قید کارایی پردازشی



شکل ۵.

حساسیت CTTP نسبت به قید کارایی پردازشی

جمع بندی

- یک روش مدیریتی دما بر مبنای پیش بینی و پیش گیری
- سربار پایین و قابلیت پیاده سازی نرم افزاری در سیستم عامل و سخت افزاری به صورت مجزا
- انعطاف پذیری در تنظیمات سیستم و قابلیت جست‌وجوی معماری مناسب برای پیش بینی با کمک p و m و اندازه THT
- مقاوم در برابر تغییرات فرآیند ساخت (process variation) به خاطر پیش بینی و تصمیم گیری پویا
- قابلیت تبدیل به یک DVFS با تغییرات اندک در نحوه محاسبه زمان پیش بینی t و حداکثر دمای θ_{max}

$$\theta_{max} \propto fV^{\alpha}$$

$$t \propto f^{-1}$$

- دو سطح از مقیاس پذیری (تعداد شتابدهنده‌های هر خوشه و تعداد خوشه ها) و آزادی عمل زیاد
- امکان انجام محاسبات مربوط به پیش بینی و تصمیم گیری در $O(\max(m,p))$

مراجع

[1] Q. Zhu *et al.*, “A 3D-stacked logic-in-memory accelerator for application-specific data intensive computing,” *2013 IEEE Int. 3D Syst. Integr. Conf. 3DIC 2013*, 2013.

[2] A. Farmahini-Farahani, J. H. Ahn, K. Morrow, and N. S. Kim, “NDA: Near-DRAM acceleration architecture leveraging commodity DRAM devices and standard memory modules,” *2015 IEEE 21st Int. Symp. High Perform. Comput. Archit. HPCA 2015*, pp. 283–295, 2015.

[3] M. Sridhar, A. Raj, A. Vincenzi, M. Ruggiero, T. Brunschwiler, and D. Atienza Alonso, “3D-ICE: Fast Compact Transient Thermal Modeling For 3D-ICs with Inter-tier Liquid Cooling,” *Proc. Int’l Conf. Comput. Des.*, pp. 463–470, 2010.

printed by MegaPrint Inc. www.postersession.com