پیاده‌سازی مدار ضرب‌کننده تقریبی بر روی بستر سخت‌افزاری FPGA

دانشجو: مهسا کاشفی

استاد راهنما: دکتر مهدی کمال

دانشکده مهندسی برق و کامپیوتر، دانشگاه تهران

خلاصه

همواره در طراحی مدارات دیجیتال، سعی بر آن است که ضمن حفظ هدف اصلی مدار، تأخیر و توان آن تا حد ممکن کاهش یابد تا از منابع انرژی کم‌تری استفاده گردد.

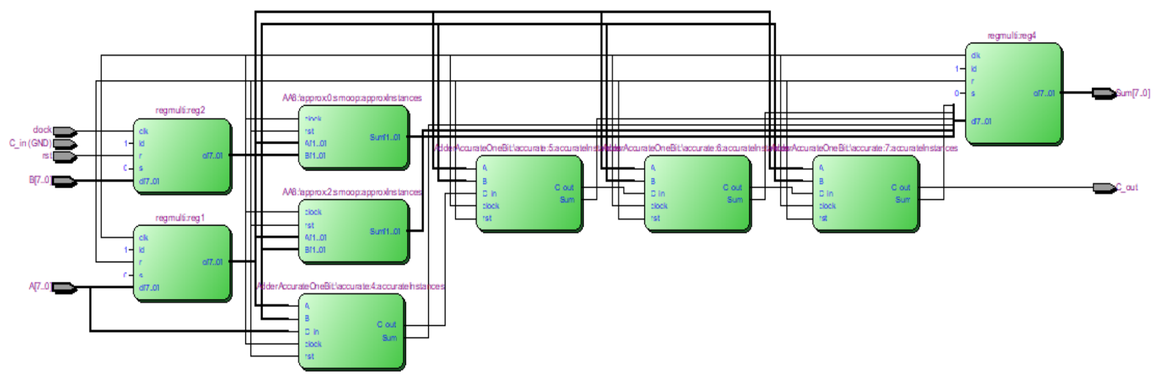
در این پروژه نیز، اهتمام بر آن بوده که با کاهش تأخیر و توان هر یک از بلوک‌ها بتوانیم عمل ضرب ریاضی را بهینه‌سازی کنیم. به منظور انجام این مهم، می‌بایست از بلوک‌های جمع‌کننده‌ای استفاده شود که در بیت‌های کم ارزش حاصل خود از دقت محاسبه‌ی پایینی برخوردار هستند. از کنار هم قرار دادن این جمع‌کننده‌ها، با استفاده از ساختار Add & Shift، ضرب‌کننده‌های بهینه‌ای ساخته می‌شوند که مقصود نهایی این پروژه می‌باشند.

روش/ساختار/مدل پیشنهادی

به منظور دست‌یابی به ضرب‌کننده‌های تقریبی و بهینه در تأخیر و توان، از بلوک‌های جمع‌کننده در دقت‌های متفاوت و تعداد بیت‌های ورودی متفاوت استفاده می‌شود. در شروع پروژه، پس از نوشتن کدهای LUTهای ۲،۳،۴ و ۵ ورودی و registerهای تک-بیتی و چندبیتی به زبان VHDL، نوبت به شبیه‌سازی به کمک Quartus II می‌رسد. نمایش RTL جمع‌کننده‌ی ۸بیتی (۴ بیت بالا دقیق و ۴ بیت پایین تقریبی) در شکل زیر نشان داده شده است. به‌نحوی که دو بلوک smoop برای ۴ بیت تقریبی (پایین) و ۴ بلوک یگر برای ۴ بیت دقیق (بالا) هستند.

جداول زیر نشان‌گر مقایسه‌ی تأخیر و توان جمع‌کننده‌های تک‌بیتی، ۸بیتی و ۱۶ بیتی در دقت‌های مختلف است. (دقت از بالا به پایین افزایش می‌یابد؛ آخرین ردیف‌ها مربوط به جمع‌کننده‌های دقیق هستند.)

** شبیه سازی ها بر روی EP2C20F484C7 FPGA صورت‌گرفته‌اند.



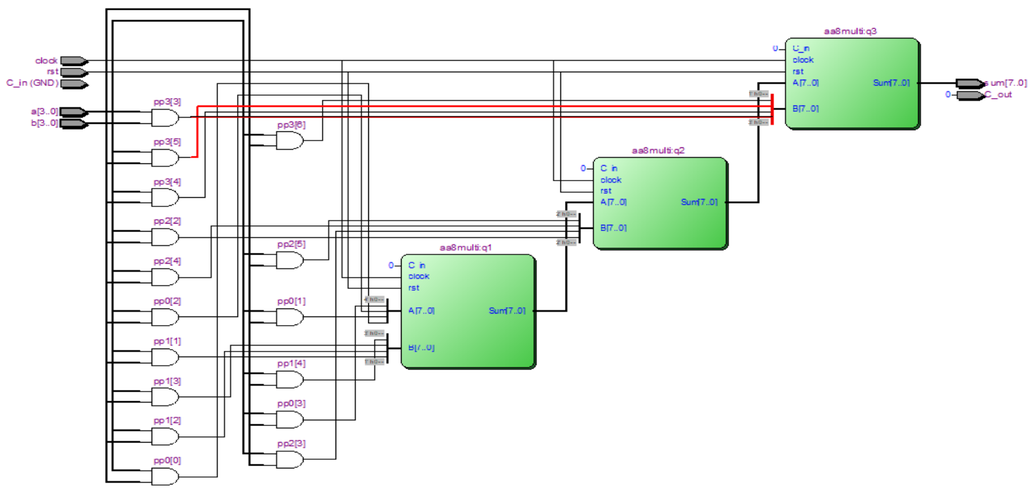
One-bit Approximate Adders	Latency (ns)	Power (mW)
AA1	1.244	80.35
AA2	1.249	82.90
AA3	1.769	81.72
AA4	1.769	84.3
AA5	1.761	84.55
AA6	1.769	84.38
AA7	2.333	84.58
AA8	2.209	81.05
AdderAccurateOnebit	1.252	80.97

8-bit Approximate Adders	Latency (ns)	Power (mW)
AA1multi8	8.113	96.30
AA2multi8	8.542	94.03
AA3multi8	7.636	97.07
AA4multi8	9.729	91.55
AA5multi8	10.774	92.71
AA6multi8	9.703	92.02
AA7multi8	9.098	91.17
AA8multi8	7.752	90.44
AdderAccurateMultibit	17.193	92.92

16-bit Approximate Adders	Latency (ns)	Power (mW)
AA1multi16	19.224	110.73
AA2multi16	19.116	109.60
AA3multi16	18.593	115.50
AA4multi16	20.541	111.53
AA5multi16	19.078	106.75
AA6multi16	20.583	108.79
AA7multi16	19.882	103.92
AA8multi16	19.505	110.23
AdderAccurateMultibit	41.977	119.34

نتایج

با قرار دادن جمع‌کننده‌های AA8multi8 و AA8multi16 در Add & Shift، که به ترتیب ۸ و ۱۶بیتی هستند و دقتشان از دقت باقی جمع‌کننده‌های تقریبی ارائه-شده بیش‌تر است، ضرب‌کننده‌های ۴*۴ و ۸*۸ ساخته‌می‌شوند؛ . که از تأخیر کم‌تری نسبت به مدل‌های دقیق هریک برخوردار هستند. شکل زیر ساختار ضرب‌کننده‌ی ۴*۴ Add & Shift را نشان می‌دهد.



جدول زیر نمایان‌گر مقایسه‌ی تعداد عناصر منطقی دو ضرب‌کننده‌ی ذکرشده و مدل دقیق هرکدام است.

Multiplier Type	Used Adder	Logic Elements
Approximate Multiplier 4*4	AA8 8bits	77
Accurate Multiplier 4*4	Accurate 8bit	124
Approximate Multiplier 8*8	AA8 16bits	275
Accurate Multiplier 8*8	Accurate 16bit	560

جمع بندی

استفاده از این ضرب‌کننده‌ها در مدارات منطقی مانعی ندارد؛ به شرط آن که به منطق و هدف کلی مدار خدشه‌ای وارد نشود و خروجی اصلی مدار تغییر نکند. اگر ضرب‌کننده‌ها در قسمت‌های مناسب مورد استفاده قرار گیرند نه تنها موجب اشتباه شدن خروجی یا رخ دادن خطا نمی‌گردند بلکه باعث تسریع اعمال ریاضی و در نهایت جلوگیری از اتلاف انرژی (thermal power) می‌شوند.

مراجع اصلی

[1] S. Ullah et al., "Area-optimized low-latency approximate multipliers for FPGA-based hardware accelerators", Proc. 55th Annu. DAC ACM/EDAC/IEEE, pp. 159, Jun. 2018.

[2] S Ullah, SS Murthy, A Kumar, SMApproxLib: Library of FPGA-based Approximate Multipliers - 2018 55th ACM/ESDA/IEEE Design Automation Conference (DAC), 2018

شماره پوستر: ۳۱