عیب‌یابی و تصحیح اتوماتیک مدارهای دیجیتال سطح گیت

دانشجو: یاسمن آبادی

استاد راهنما: دکتر بیژن علیزاده

دانشکده مهندسی برق و کامپیوتر، دانشگاه تهران

مقدمه

فاز عیب‌یابی و تصحیح یکی از مهم‌ترین مراحل طراحی مدارهای دیجیتال به شمار می آید. با توجه به پیچیدگی روزافزون و افزایش اندازه‌ی مدارها، برای این فاز نیاز به روشی بهینه و کاملا اتوماتیک می‌باشد که همواره قابل اطمینان باشد.

تاکنون راهکارهایی در این زمینه ارائه شده‌اند ولی مشکلات زیر باعث ناکارآمدی و بازدهی پایین این روش ها بوده‌اند.

- زمانبر بودن
- داشتن محاسبات سنگین
- ناکارآمدی برای مدارهای بزرگ
- عدم تضمین صحت نتیجه‌ی خروجی

هدف از این پروژه ارائه‌ی یک روش قابل اطمینان و بهینه برای عیب‌یابی و تصحیح مدارهای دیجیتال با رفع مشکلات فوق است.

الگوریتم پیشنهادی

❖ در این الگوریتم ورودی‌های موردنیاز عبارتند از: مدار سطح گیت موردنظر که دچار خطا شده است، تعداد و محل تقریبی خطاها و تعدادی بردارآزمون از مدار صحیح اولیه که نشان دهنده‌ی وجود خطا در مدار موردنظر هستند.
خروجی نیز مدار تصحیح شده به همراه بردار آزمون‌های تولید شده‌ی جدید است که تضمین‌کننده‌ی صحت پاسخ خروجی هستند.

در ابتدا با استفاده از ابزار SAT solver و با تعریف دقیق و مناسب مسئله برای آن، با تغییر برخی گیت ها دو مدار یافته می شوند که بردارهای آزمون اولیه در آن‌ها صدق کنند.
در ادامه با miter کردن دو مدار، معادل بودن یا نبودن دو مدار یافته‌شده تشخیص داده می‌شود. پس دو حالت پیش می‌آید:

i. دو مدار معادل نباشند: بردار آزمونی که نشان دهنده‌ی تفاوت دو مدار است، به مجموعه‌ی بردارآزمون‌ها اضافه می‌شود. سپس مدار صحیح شناسایی شده و ذخیره میگردد.
ii. دو مدار معادل باشند: این حالت به این معناست که دو مدار نمایش متفاوتی دارند ولی از نظر عملکردی یکسان هستند. در این حالت یکی از مدارها ذخیره می‌شود که در طول اجرای برنامه مدارهای تکرای حذف شده تا پاسخ نهایی زودتر حاصل شود.

ساختار اصلی برنامه به صورت iterative انجام می‌شود؛ به این صورت که در ادامه، روند ذکر شده مجددا تکرار می‌شود اما این دفعه با مدار صحیح ذخیره‌شده‌ی قبلی و یک مدار جدید که براساس بردارهای آزمون بروزرسانی شده یافته شده‌است.
این روند ادامه میابد تا زمانی که دیگر مدار جدیدی یافته نشود و نهایتا آخرین مدار به عنوان پاسخ نهایی معرفی می‌شود.

❖ پیاده‌سازی این الگوریتم با زبان C++ و در محیط visual studio انجام شده‌است. همچنین از نرم افزارهای abc و Modelsim SE هم کمک گرفته شده‌است.

❖ معیار ارزیابی برنامه‌ی پیاده‌سازی شده در مقایسه با روش‌های پیشین زمان مصرفی، حجم محاسبات، تعداد بردارهای آزمون جدید تولیدشده، پاسخگویی برای مدارهای بزرگ و تضمین پاسخ خروجی است.

نتایج

جدول زیر چندین نمونه از مقایسه‌ی زمان و حافظه‌ی مصرفی روش ارائه‌شده با یکی از کارآمدترین روش‌های پیشین (روش ارائه شده در مرجع [1]) در زمینه‌ی عیب‌یابی و تصحیح مدارهای سطح گیت را نشان می‌دهد.
همانطور که مشخص است روش پیشنهادی دارای عملکردی بهینه و بازدهی بالاتری است و در مواردی که روش‌های قبل پاسخگو نبوده‌اند هم در زمان مناسبی خروجی صحیح را می‌دهد.

Benhmak				Proposed method		method in [1]	
Circuit Name	#Gates	#FFs	#Bugs	Time (sec)	Mem (MB)	Time (sec)	Mem (MB)
c17	6	0	3	30	1.6	43	3.5
c17	6	0	5	92	1.7	119	3.6
c456	80	0	5	28	1.8	32	3.6
c456	80	0	4	10	1.7	15	3.5
c499	160	0	4	77	1.7	82	3.5
c499	160	0	4	102	1.8	112	3.5
c1355	506	0	3	31	3.1	62	3.6
c1355	506	0	3	47	3.2	84	3.7
s1241	476	0	2	11	3.1	22	3.7
s1241	476	0	3	10	3.1	N.A.	3.6
s1241	476	0	4	11	3.2	N.A.	3.5
s1241	476	0	6	37	3.2	N.A.	3.6

جمع بندی

➢ باتوجه به آنکه مدارهای دیجیتالی امروزه در اندازه‌های بسیار بزرگ طراحی می‌شوند، طراحی مناسب فاز عیب‌یابی و تصحیح یک نیاز اساسی محسوب می‌شود.

➢ روش ارائه‌شده جهت عیب‌یابی و تصحیح مدارها که در زمانی کم و با محاسبات کم پاسخی قابل اطمینان می‌دهد، بسیار مفید است.

➢ در این روش، بهینه‌سازی الگوریتم و پیاده‌سازی مناسب آن یکی اهداف مهم نظر گرفته شده است که از برتری‌های آن نسبت به روش‌های پیشین محسوب می‌شود.

مراجع اصلی

1. B.Alizadeh and S.R.Sharafinejad, “Incremental SAT-based Accurate Auto-correction of Sequential Circuits through Automatic Test Pattern Generation,” *in IEEE transaction on Computer-Aided Design of Integrated Circuits and Systems*, pp. 245-252, 2019.
2. H. Foster, “Assertion-Based Verification: Industry Myths to Realities (invited tutorial),” in *Proc. Of International Conference in Computer Aided Verification (CAV)*, pp. 5-10, 2008.
3. P. Rashinkar, P. Paterson, and L. Singh, System-on-a-Chip Verification:Methodology and Techniques. Boston, MA: Kluwer, 2000.